

## SIGNAL CHANGEOVER SWITCH

Patent Number: JP10093471  
Publication date: 1998-04-10  
Inventor(s): KATAMATA TAKAHIRO; KAWAOKA YOSHIKUMI  
Applicant(s): MURATA MFG CO LTD  
Requested Patent: ☐ JP10093471  
Application Number: JP19960263536 19960911  
Priority Number(s):  
IPC Classification: H04B1/44; H01P1/15; H03K17/693  
EC Classification:  
Equivalents:

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To improve the switching performance in a low voltage operating state of a switching semiconductor element.

**SOLUTION:** In the signal changeover switch 11 that is provided with a switch circuit 12 employing semiconductor elements Q1 -Q4 for switching elements and a plurality of input output terminals ANT, RX, TX and in which the input output terminals ANT, RX, TX are connected/disconnected by the switch circuit 12, impedance conversion circuits M-M3 are provided between the input output terminals ANT, RX, TX and the switch circuit 12. Then an impedance ZSW, when viewing the impedance conversion circuits M1-M3 from the switch circuit 12 is set smaller than an impedance ZO when viewing an external circuit from the input output terminals ANT, RX, TX.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-93471

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.<sup>5</sup>

識別記号

F I

H 0 4 B 1/44

H 0 4 B 1/44

H 0 1 P 1/15

H 0 1 P 1/15

H 0 3 K 17/693

H 0 3 K 17/693

A

審査請求 未請求 請求項の数 5 F D (全 11 頁)

(21) 出願番号

特願平8-263536

(22) 出願日

平成8年(1996) 9月11日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 片又 貴博

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 河岡 良積

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

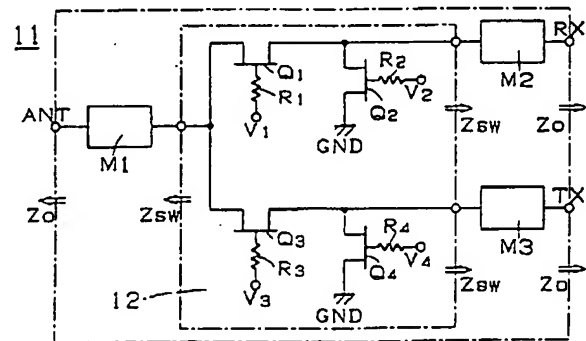
(74) 代理人 弁理士 中野 雅房

(54) 【発明の名称】 信号切換えスイッチ

(57) 【要約】

【課題】 スイッチング用半導体素子の低電圧動作におけるスイッチング性能を向上させる。

【解決手段】 半導体素子 $Q_1 \sim Q_4$ がスイッチング素子として用いられたスイッチ回路12と、複数の入出力端子ANT, RX, TX端子を備え、スイッチ回路12によって各入出力端子ANT, RX, TX端子を互いに接続したり、切り離したりするための信号切換えスイッチ11において、前記入出力端子ANT, RX, TX端子と前記スイッチ回路12との間にインピーダンス変換回路M1~M3を設け、スイッチ回路12からインピーダンス変換回路M1~M3をみたインピーダンス $Z_{SW}$ を、入出力端子ANT, RX, TX端子から外部回路をみたインピーダンス $Z_0$ より小さくする。



## 【特許請求の範囲】

【請求項1】 半導体素子がスイッチング素子として用いられたスイッチ回路と、複数の入出力端子を備え、スイッチ回路によって各入出力端子を互いに接続したり、切り離したりするための信号切換えスイッチにおいて、前記入出力端子と前記スイッチ回路との間にインピーダンス変換回路を設け、スイッチ回路からインピーダンス変換回路をみたインピーダンスを、入出力端子から外部回路をみたインピーダンスより小さくしたことを特徴とする信号切換えスイッチ。

【請求項2】 前記インピーダンス変換回路は、前記スイッチ回路が形成された半導体集積回路のボンディングワイヤもしくはリードのインダクタンスと、前記半導体集積回路のストレーキャパシタンスとを用いたものであることを特徴とする、請求項1に記載の信号切換えスイッチ。

【請求項3】 前記インピーダンス変換回路は、誘電体多層基板内に形成されたインダクタンス、キャパシタンス及び伝送線路から構成されていることを特徴とする、請求項1又は2に記載の信号切換えスイッチ。

【請求項4】 前記インピーダンス変換回路は、単一正電源動作の直流カット用キャパシタンスと高周波チョーク用インダクタンスとを含んでいることを特徴とする、請求項1～3に記載の信号切換えスイッチ。

【請求項5】 前記入出力端子から各インピーダンス変換回路をみたインピーダンスが前記各外部回路の要求する最適インピーダンスにほぼ等しくなっていることを特徴とする、請求項1～4に記載の信号切換えスイッチ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は信号切換えスイッチに関する。例えば、携帯電話の送受信切り換え等に使用される高周波用の信号切換えスイッチに関するものである。

## 【0002】

## 【従来の技術】

（第1の従来例）図1は、従来の携帯電話の送受信切り換え等に使用される高周波用の信号切換えスイッチ1を示す回路図である。一般に、この種の回路はSPDT（Single-Pole-Dual-Throw）スイッチと呼ばれている。

【0003】このSPDTスイッチは、入出力端子として、送信用アンテナが接続されるANT端子（図ではANTで示す）と、送信用電力増幅器が接続されるTX端子（図ではTXで示す）と、受信用低雑音増幅器が接続されるRX端子（図ではRXで示す）とを備えている。

【0004】この信号切換えスイッチ1は4つのスイッチング用半導体素子（以下、スイッチング用素子という） $Q_1 \sim Q_4$ を有しており、スイッチング用素子としてGaAs MESFET（GaAs Metal-Semiconductor

FET）が用いられている。ANT端子-RX端子間には、スイッチング用素子 $Q_1$ のソース・ドレインが直列に接続され、RX端子-GND（以下、GNDと記す）間には、スイッチング用素子 $Q_2$ のソース・ドレインが直列に接続され、ANT端子-TX端子間には、スイッチング用素子 $Q_3$ のソース・ドレインが直列に接続され、TX端子-GND間には、スイッチング用素子 $Q_4$ のソース・ドレインが直列に接続されている。

【0005】各スイッチング用素子 $Q_1 \sim Q_4$ のゲートは、それぞれ抵抗 $R_1 \sim R_4$ を介して制御電圧端子に接続されている。 $V_1 \sim V_4$ は、各スイッチング用素子 $Q_1 \sim Q_4$ のゲートに印加する制御電圧（ゲートバイアス $V_{GS}$ ）である。各スイッチング用素子 $Q_1 \sim Q_4$ は、ゲートにピンチオフ電圧 $V_P$ 以上の電圧 $V_{ON}$ を印加する（ $V_1 \sim V_4 \geq V_{ON}$ ）ことによりON（導通）状態となり、逆に、ゲートにピンチオフ電圧 $V_P$ 以下の電圧 $V_{OFF}$ を印加する（ $V_1 \sim V_4 \leq V_{OFF}$ ）ことによりOFF（遮断）状態となる。

【0006】しかして、信号切換えスイッチ1を通して送信する場合には、スイッチング用素子 $Q_1$ 、 $Q_4$ の制御電圧 $V_1$ 、 $V_4$ を $V_{OFF}$ にし、スイッチング用素子 $Q_2$ 、 $Q_3$ の制御電圧 $V_2$ 、 $V_3$ を $V_{ON}$ にすると、ANT端子-RX端子間がOFFとなり、ANT端子-TX端子間がONとなり、送信側の電力増幅器からアンテナに送信信号が出力される。

【0007】また、信号切換えスイッチ1を通して受信する場合には、スイッチング用素子 $Q_2$ 、 $Q_3$ の制御電圧 $V_2$ 、 $V_3$ を $V_{OFF}$ にし、スイッチング用素子 $Q_1$ 、 $Q_4$ の制御電圧 $V_1$ 、 $V_4$ を $V_{ON}$ にすると、ANT端子-TX端子間はOFFとなり、ANT端子-RX端子間はONとなり、アンテナから受信側の低雑音増幅器に受信信号が入力される。

【0008】RX端子-GND間のスイッチング用素子 $Q_2$ は、スイッチング用素子 $Q_1$ がOFF状態となっている場合にON状態となり、OFF状態にあるスイッチング用素子 $Q_1$ のOFF容量を通してRX端子側に漏れてきた信号電力をGNDに落とすことにより、RX端子のアイソレーション特性を高める効果がある。同様に、TX端子-GND間のスイッチング用素子 $Q_4$ は、スイッチング用素子 $Q_3$ がOFF状態となっている場合にON状態となり、OFF状態にあるスイッチング用素子 $Q_3$ のOFF容量を通してTX端子側に漏れてきた信号電力をGNDに落とすことにより、TX端子のアイソレーション特性を高める効果がある。

【0009】図2はスイッチング用素子（GaAs MESFET） $Q_1 \sim Q_4$ の特性を表わし、さらに、OFF状態のスイッチング用素子とON状態のスイッチング用素子のゲート・ソース間に加わっている信号電圧波形を表わす図であって、横軸はゲート・ソース間電圧 $V_{GS}$ 、縦軸はドレイン電流 $I_{DS}$ を示している。なお、スイッチ

ング用素子 $Q_1 \sim Q_4$ はデプレッション型であり、 $I_{DSS}$ はゲート・ソース間電圧 $V_{GS} = 0$ のときの飽和ドレイン電流、 $V_{TH}$ はゲート順方向電流の立ち上がり電圧、 $V_p$ はピンチオフ電圧、 $I_{F_{DSS}}$ はゲート順方向電流の立ち上がり電圧 $V_{TH}$ が印加されたときの飽和ドレイン電流、 $V_B$ はゲート逆方向耐圧である。例えば、ピンチオフ電圧が $V_{P1} = V_{P2} = V_{P3} = V_{P4} = -1.5V$ であり、スイッチング用素子 $Q_1 \sim Q_4$ の制御電圧を $V_{ON} = 0V$ 、 $V_{OFF} = -3V$ 、信号切換えスイッチから外部回路をみたインピーダンスが $Z_0 = 50\Omega$ とすると、ON状態となったスイッチング用素子 $Q_1 \sim Q_4$ に入力可能な最大電圧波の振幅は3Vとなり、線形最大伝送可能電力は、90mW (19.5dBm) 程度となる。

【0010】しかして、従来の高周波用信号切換えスイッチ1においては、ANT端子とRX端子又はTX端子の間を伝搬する信号電圧 $\Delta V_{GS}$ が各スイッチング用素子 $Q_1 \sim Q_4$ のゲートバイアス $V_{GB}$  ( $V_{ON}$ 又は $V_{OFF}$ )を中心としてゲート・ソース間電圧 $V_{GS}$ に重畳されるので、送信時にTX端子から大電力の信号が入力された場合、ゲート・ソース間電圧 $V_{GS}$ がスイッチング用素子 $Q_1 \sim Q_4$ のピンチオフ電圧 $V_p$ に達する。このとき、送信時にはON状態であるはずのスイッチング用素子 $Q_3$ は、ゲート・ソース間電圧 $V_{GS} (= V_{ON} + \Delta V_{GS})$ がピンチオフ電圧 $V_p$ 以下となる毎に一時的にOFF状態となるので、送信電力波形がクリッピングされて波形歪が生じる。すなわち、送信時にTX端子から大電力の信号が入力された場合、スイッチング用素子の歪み特性が劣化してしまう。

【0011】また、TX端子から大電力の信号が入力された場合には、OFF状態であるはずのスイッチング用素子 $Q_1$ は、ゲート・ソース間電圧 $V_{GS} (= V_{OFF} + \Delta V_{GS})$ がピンチオフ電圧 $V_p$ 以上となる毎に一時的にON状態となるので、送信電力の一部がRX端子へ漏れ、RX端子のアイソレーションが悪化する。

【0012】さらに、TX端子から大電力の信号が入力された場合には、OFF状態であるはずのスイッチング用素子 $Q_4$ は、ゲート・ソース間電圧 $V_{GS}$ がピンチオフ電圧 $V_p$ 以上となる毎に一時的にONとなるので、送信電力の一部がGNDに落ち、挿入損失が増加する。

【0013】現在の状況では、高周波回路の電源電圧をできるだけ小さくしたいという要求があるが、低電圧電源によってスイッチング用素子を制御する低電圧動作を行なう場合は、制御電圧 $V_{ON}$ 、 $V_{OFF}$ とピンチオフ電圧 $V_p$ の差が小さくなるため、スイッチング用素子に大きな電圧の信号が流れることによるスイッチング性能の劣化がより顕著になり、線形最大伝送可能電力は減少する。従って、上記問題に対して、大電力用のスイッチング用素子を用い、電源電圧を大きくして対処することは実際のでない。

【0014】(第2の従来例)そこで、低電圧電源で大

電力信号のスイッチングを良好に行なうため、特開平5-199094号公報では、ピンチオフ電圧の異なる2種類のスイッチング用素子を用いた高周波スイッチ回路が開示されている。第1の従来例の信号切換えスイッチ1に適用するには、送信時にON状態となるスイッチング用素子 $Q_2$ 、 $Q_3$ のピンチオフ電圧 $V_{P2}$ 、 $V_{P3}$ を、他のスイッチング用素子 $Q_1$ 、 $Q_4$ のピンチオフ電圧 $V_{P1}$ 、 $V_{P4}$ より低く設定するとよい。

【0015】例えば、 $V_{P1} = V_{P4} = -0.8V$ 、 $V_{P2} = V_{P3} = -2.2V$ とし、制御電圧を $V_{ON} = 0V$ 、 $V_{OFF} = -3V$ 、信号切換えスイッチから外部回路をみたインピーダンスが $Z_0 = 50\Omega$ とすると、送信時にON状態となるスイッチング用素子 $Q_3$ に入力可能な最大電圧波の振幅は4.4Vとなり、送信時の線形最大伝送可能電力は、200mW (23dBm) 程度に増加する。

【0016】しかしながら、本従来例の高周波スイッチ回路では、半導体集積回路に実装した場合、同一ウェハ上にピンチオフ電圧の異なるスイッチング用素子を形成しなければならないことからプロセスが複雑となり、コストが高くなり、歩留りが低下するといった問題がある。

【0017】(第3の従来例) 図3は、特開平6-334506号公報に開示されている信号切換えスイッチ2を示す図である。この信号切換えスイッチ2にあっては、スイッチング用素子が多段接続されている。この方法では、例えば、第1の従来例の信号切換えスイッチ1において、各スイッチング用素子 $Q_1$ 、 $Q_2$ 、 $Q_3$ 、 $Q_4$ に加えさらに直列にスイッチング用素子 $Q_1'$ 、 $Q_2'$ 、 $Q_3'$ 、 $Q_4'$ を接続するとよい。これによって、各スイッチング用素子 $Q_1$ 、 $Q_2$ 、 $Q_3$ 、 $Q_4$ 、 $Q_1'$ 、 $Q_2'$ 、 $Q_3'$ 、 $Q_4'$ のゲート・ソース間に重畳される電圧波の振幅は1段構成のときの半分になり、電源電圧を上げることなく、線形最大伝送可能電力を増加させることが可能となっている。

【0018】例えば、第1の従来例と同様のピンチオフ電圧 $V_p = -1.5V$ 、制御電圧 $V_{ON} = 0V$ 、 $V_{OFF} = -3V$ に設定されたスイッチング用素子を用い、信号切換えスイッチから外部回路をみたインピーダンスが $Z_0 = 50\Omega$ とすると、入力可能な最大電圧波の振幅は、2倍の6Vとなり、送信時の線形最大伝送可能電力は、360mW (25.6dBm) 程度に増加する。

【0019】しかしながら、この信号切換えスイッチ2にあっては、スイッチング用素子の数が倍必要となり、半導体集積回路に実装した場合、素子面積が2倍になることからチップ面積が増大し、コストが増加するといった問題がある。

【0020】

【発明が解決しようとする課題】本発明は叙上の従来例の欠点に鑑みてなされたものであり、その目的とするところは、電源電圧を上げることなく線形最大伝送可能電

力を高め、スイッチング用素子のスイッチング性能を向上することにある。

【0021】

【発明の開示】本発明の請求項1に記載の信号切換えスイッチは、半導体素子がスイッチング素子として用いられたスイッチ回路と、複数の入出力端子を備え、スイッチ回路によって各入出力端子を互いに接続したり、切り離したりするための信号切換えスイッチにおいて、前記入出力端子と前記スイッチ回路との間にインピーダンス変換回路を設け、スイッチ回路からインピーダンス変換回路をみたインピーダンスを、入出力端子から外部回路をみたインピーダンスより小さくしたを特徴としている。ここで、入出力端子とは、入力端子、出力端子もしくは入出力共用端子をさす。

【0022】請求項1に記載の信号切換えスイッチにあつては、スイッチ回路からインピーダンス変換回路をみたインピーダンスが、入出力端子から外部回路をみたインピーダンスより小さくなっているため、インピーダンス変換回路を設けたことにより、スイッチ回路内部を伝搬する信号電力の電圧波の振幅が小さくなる。すなわち、電源電圧を上げることなく、信号切換えスイッチの最大伝送可能電力が増加する。

【0023】このように、半導体素子数を増やさずに信号切換えスイッチの最大伝送可能電力を高めているので、安価に製造できるとともに、半導体集積回路に実装したときに素子面積が大きくなる。さらに、ピンチオフ電圧の異なる異種の半導体素子を併用する必要がないので、低コストで半導体集積回路内にスイッチ回路を形成することができ、半導体集積回路の製造プロセスが複雑になったり、歩留りが低下したりすることがない。

【0024】また、半導体素子のスイッチング性能（信号の波形がクリッピングされる等の歪み特性、半導体素子が一時的に切り換わって信号がGNDに漏れることによる挿入損失、送信側と受信側のアイソレーション特性）が向上するとともに、半導体素子を低電圧電源で安定して動作させることが可能となる。すなわち、半導体素子の制御電圧を中心としてゲート・ソース間電圧に重畳される電圧波の振幅が小さくなるので、大電力の信号を入力した場合においても、各半導体素子のスイッチング状態を安定に保つことが可能となり、信号切換えスイッチを低電圧電源で安定して動作させることが可能となる。

【0025】さらに、半導体素子のOFF時にゲート・ソース間電圧がゲート逆方向耐圧に達して半導体素子が破壊することを防止できるとともに、半導体素子のON時にゲート・ソース間電圧がゲート順方向電流の立ち上がり電圧に達しゲート大電流が流れてスイッチング性能が劣化することを防止できる。

【0026】請求項2に記載の実施態様は、請求項1記載の信号切換えスイッチにおいて、前記インピーダンス

変換回路が、前記スイッチ回路が形成された半導体集積回路のボンディングワイヤもしくはリードのインダクタンスと、前記半導体集積回路のストレーキャパシタンスとを用いたものであることを特徴としている。

【0027】請求項2に記載の実施態様にあつては、スイッチ回路が形成されている半導体集積回路のボンディングワイヤもしくはリードのインダクタンスとストレーキャパシタンスをインピーダンス変換回路に利用しているので、信号切換えスイッチの構成部品点数を削減することができる。また、スイッチ回路及びインピーダンス変換回路を構成された半導体集積回路のチップ面積を小さくすることができる。

【0028】従つて、信号切換えスイッチを小型化することができると共に製造コストも安価にすることができる。

【0029】請求項3に記載の実施態様は、請求項1又は2記載の信号切換えスイッチにおいて、前記インピーダンス変換回路が、誘電体多層基板内に形成されたインダクタンス、キャパシタンス及び伝送線路から構成されていることを特徴としている。

【0030】このように、インピーダンス変換回路を構成するインダクタンス、キャパシタンス及びボンディングワイヤを誘電体多層基板内に積層することにより、インピーダンス変換回路を小面積に形成することができ、信号切換えスイッチの小型化を図ることができる。

【0031】また、請求項3に記載の実施態様によれば、インピーダンス変換回路のQ値を下げることで、広帯域なインピーダンス変換が実現できる。よつて、広帯域にわたつて信号切換えスイッチの性能を向上させることができる。

【0032】請求項4に記載の実施態様は、請求項1〜3記載の信号切換えスイッチにおいて、前記インピーダンス変換回路が、単一正電源動作の直流カット用キャパシタンスと高周波チョーク用インダクタンスとを含んでいることを特徴としている。

【0033】この実施態様によれば、単一正電源動作の高周波チョーク用インダクタンス及び直流カット用キャパシタンスをインピーダンス変換回路の一部として利用しているので、信号切換えスイッチの素子数を削減でき、半導体集積回路として構成する場合にはチップ面積を減少させることができる。従つて、製造コストの削減を図ることができる。

【0034】請求項5に記載の実施態様は、請求項1〜4に記載の信号切換えスイッチにおいて、前記入出力端子から各インピーダンス変換回路をみたインピーダンスが前記各外部回路の要求する最適インピーダンスにほぼ等しくなっていることを特徴としている。

【0035】請求項5に記載の実施態様にあつては、インピーダンス変換回路が入出力端子に接続する外部回路との最適インピーダンスによる整合機能を有しているの

で、入出力端子と外部回路との間に整合回路を設ける必要がなくなる。

【0036】各入出力端子と外部回路との間に整合回路が不要になるので、信号切換えスイッチの性能を向上させた状態で、通信システム等の全体における変換損失の低減を図ることができる。さらに、素子数を減少させ、半導体集積回路においてはチップ面積を減少させることができるので、信号切換えスイッチの製造コストの削減を図ることができる。

【0037】

【発明の実施の形態】

(第1の実施形態) 図4は、本発明の一実施形態による信号切換えスイッチ11を示す回路図である。この信号切換えスイッチ11は、スイッチング用素子 $Q_1 \sim Q_4$ としてGaAs MESFETのような半導体素子を用いたスイッチ回路12と、入出力端子であるANT端子、RX端子及びTX端子と、インピーダンス変換回路M1～M3とから構成されている。ここで、スイッチ回路12は、従来例として説明した信号切換えスイッチ(SPDTSスイッチ)1と同じものであるので、同一構成要素には同一符号を付して説明を省略する。インピーダンス変換回路M1はANT端子とスイッチ回路12の間に接続されており、スイッチ回路12からインピーダンス変換回路M1をみたインピーダンス $Z_{SW}$ がANT端子から外部回路をみたインピーダンス $Z_0$ より小さくなるようにしている。同様に、インピーダンス変換回路M2はRX端子とスイッチ回路12の間に接続され、インピーダンス変換回路M3はTX端子とスイッチ回路12の間に接続されており、いずれもインピーダンス変換回路M2～M3からRX端子又はTX端子をみたインピーダンス $Z_{SW}$ がRX端子又はTX端子から外部回路をみたインピーダンス $Z_0$ より小さくなるようにしている。

【0038】しかして、この信号切換えスイッチ11にあっては、入出力端子であるANT端子、RX端子及びTX端子とスイッチ回路12の間にそれぞれインピーダンス変換回路M1～M3を設け、スイッチ回路12からインピーダンス変換回路M1～M3をみたインピーダンス $Z_{SW}$ が、ANT端子、RX端子及びTX端子から外部回路をみたインピーダンス $Z_0$ より小さくなるようにしている。スイッチ回路12内部を伝搬する信号電力の電圧波の振幅を小さくすることができる。よって、スイッチング用素子 $Q_1 \sim Q_4$ の制御電圧を中心としてゲート・ソース間電圧に重畳される電圧波の振幅が小さくなり、大電力の信号を入力した場合においても、各スイッチング用素子 $Q_1 \sim Q_4$ のスイッチング状態を安定に保つことが可能となり、最大伝送可能電力が向上し、低電圧動作におけるスイッチング性能(挿入損失、アイソレーション、歪み特性等)を向上させることができる。また、スイッチング用素子 $Q_1 \sim Q_4$ のOFF時にゲート・ソース間電圧がゲート逆方向耐圧 $V_B$ に達して半導体素

子が破壊することを防止できる。さらに、半導体素子のON時にゲート・ソース間電圧がゲート順方向電流の立ち上がり電圧 $V_{TH}$ に達して、ゲート大電流が流れ、スイッチング性能が劣化することを防止できる。

【0039】なお、本発明は、一般的にいうと、インピーダンス変換回路M1～M3によりスイッチ回路12から外部回路をみたインピーダンスを減少させ、スイッチ回路12に流れる信号の電圧振幅を減少させたものである。すなわち、スイッチ回路12から外部回路をみたインピーダンスを $Z_{SW}$ とすると、信号電力Pが送られてきた場合、スイッチ回路12に伝送される電圧波の最大振幅 $V_{SW}$ は $V_{SW} = (2Z_{SW}P)^{1/2}$ で表わされるから、スイッチ回路12のインピーダンス $Z_{SW}$ を小さくすることにより、スイッチ回路12を流れる信号電圧 $V_{SW}$ を小さくすることができる。よって、スイッチング用素子 $Q_1 \sim Q_4$ の低電圧動作におけるスイッチング性能の劣化を防止することができる。本実施形態ではスイッチング用素子 $Q_1 \sim Q_4$ としてGaAs MESFETを例として用いたが、他の半導体素子、例えばPINダイオード等を用いても、低電圧電源を用いたスイッチ回路に大きな電圧の信号が発生するのを防止してスイッチング性能の劣化を防止することが可能である(以下の実施形態においても同様)。

【0040】(第2の実施形態) 図5は、本発明の別な実施形態による信号切換えスイッチ13を示す回路図である。インピーダンス変換回路M1は、L型接続されたインダクタンス $L_{ANT}$ とキャパシタンス $C_{ANT}$ からなるL型無損失回路であり、信号の周波数を $f$ とすると、インダクタンス $L_{ANT}$ によるインピーダンスが $j(2\pi f)L_{ANT} = j25\Omega$ 、キャパシタンス $C_{ANT}$ によるインピーダンスが $-j/(2\pi f C_{ANT}) = -j50\Omega$ となっている。従って、ANT端子から外部回路をみたインピーダンスが $Z_0 = 50\Omega$ のとき、スイッチ回路12からインピーダンス変換回路M1をみたインピーダンスは $Z_{SW} = 25\Omega$ になる。同様に、インピーダンス変換回路M2、M3は、それぞれL型接続されたインダクタンス $L_{RX}$ 、 $L_{TX}$ とキャパシタンス $C_{RX}$ 、 $C_{TX}$ とからなるL型無損失回路であり、インダクタンス $L_{RX}$ 、 $L_{TX}$ によるインピーダンスは $j(2\pi f)L_{RX} = j25\Omega$ 、 $j(2\pi f)L_{TX} = j25\Omega$ 、キャパシタンス $C_{RX}$ 、 $C_{TX}$ によるインピーダンスは $-j/(2\pi f C_{RX}) = -j50\Omega$ 、 $-j/(2\pi f C_{TX}) = -j50\Omega$ となっている。従って、RX端子又はTX端子から外部回路をみたインピーダンスが $Z_0 = 50\Omega$ のとき、スイッチ回路12からRX端子又はTX端子をみたインピーダンスも $Z_{SW} = 25\Omega$ になる。なお、インダクタンス $L_{ANT}$ 、 $L_{RX}$ 、 $L_{TX}$ 、キャパシタンス $C_{ANT}$ 、 $C_{RX}$ 、 $C_{TX}$ の素子定数は回路を流れる信号の周波数 $f$ によって定まり、1.9GHzにおいては、 $L_{ANT} = L_{RX} = L_{TX} = 2.094 \text{ nH}$ 、 $C_{ANT} = C_{RX} = C_{TX} = 1.675 \text{ pF}$ となっている。

【0041】図6、図7はそれぞれ、信号切換えスイッチ13に360mWの信号電力を入力したときの、入力端子（すなわち、TX端子またはANT端子）、スイッチ回路12内部、出力端子（すなわち、ANT端子またはRX端子）における電圧波形及び電流波形を示す図である。但し、簡単のため、スイッチ回路12内部での抵抗損失は0であるとして計算している。入出力端子であるANT端子、RX端子、TX端子は $Z_0 = 50\Omega$ 系であるから、電圧波の最大振幅は $6V [= (2P/Z_0)^{1/2}]$ 、電流波の最大振幅は $120mA [= (2P/Z_0)^{1/2}]$ となっているが、スイッチ回路12の内部ではインピーダンス変換回路M1～M3により $Z_{sw} = 25\Omega$ 系となっているため、電圧波の最大振幅は $4.24V [= (2P/Z_{sw})^{1/2}]$ 、電流波の最大振幅は $170mA [= (2P/Z_{sw})^{1/2}]$ となっている。

【0042】しかして、入出力端子であるANT端子、RX端子、TX端子から360mWの信号電力を入力すると、スイッチ回路12を伝搬する電圧波の最大振幅はインピーダンス $Z_0 = 50\Omega$ により、6Vに達するはずであるが、インピーダンス変換回路M1～M3によりインピーダンス $Z_{sw}$ を $25\Omega$ （インピーダンス $Z_0$ の $1/2$ 倍）とすれば、スイッチ回路12を伝搬する電圧波の最大振幅は $4.24V$ （ $1/\sqrt{2}$ 倍）に下がる。そのかわり、電流波の最大振幅は、 $Z_0 = 50\Omega$ では $120mA$ であったが、 $Z_{sw} = 25\Omega$ では $170mA$ と $\sqrt{2}$ 倍に増加する。

【0043】このように、入出力端子であるANT端子、RX端子、TX端子とスイッチ回路12の間にインピーダンス変換回路M1～M3を設け、スイッチ回路12からインピーダンス変換回路M1～M3をみたインピーダンス $Z_{sw}$ が、入出力端子であるANT端子、RX端子、TX端子から外部回路をみたインピーダンス $Z_0$ より小さくなるようにインピーダンス変換回路M1～M3を設計することで、スイッチ回路12内部を伝搬する信号電力の電圧波の振幅を小さくすることができる。

【0044】従って、スイッチング用素子 $Q_1 \sim Q_4$ の制御電圧を中心としてゲート・ソース間電圧に重畳される電圧波の振幅が小さくなり、大電力の信号を入力した場合においても、各スイッチング用素子 $Q_1 \sim Q_4$ のスイッチング状態を安定に保つことが可能となり、最大伝送可能電力や、低電圧動作におけるスイッチング性能（挿入損失、アイソレーション、歪み特性等）を向上させることができる。

【0045】また、図2に示すように、スイッチング用素子 $Q_1 \sim Q_4$ のOFF時にゲート・ソース間電圧がスイッチング用素子 $Q_1 \sim Q_4$ のゲート逆方向耐圧 $V_B$ に達するとスイッチング用素子 $Q_1 \sim Q_4$ の破壊が生じるが、本発明によれば、この耐圧制限も緩和することが可能となる。

【0046】さらに、スイッチング用素子 $Q_1 \sim Q_4$ のO

N時にゲート・ソース間電圧がゲート順方向電流の立ち上がり電圧 $V_{TH}$ に達するとゲート大電流が流れ、スイッチング性能が劣化するが、本発明では、この影響も緩和することが可能である。

【0047】なお、これらの諸効果は、インピーダンス変換回路M1～M3によりスイッチ回路12内部のインピーダンスを低下させ、電圧振幅を減少させたことにより、スイッチング用素子の電圧的な制限から生じるスイッチング性能の劣化を緩和したものであって、本実施形態では例としてスイッチング用素子にGaAsMESFETを用いたが、他のスイッチング用半導体素子、例えばPINダイオード等においても、耐圧等の電圧的な制限を緩和することが可能である。

【0048】（第3の実施形態）図8は、本発明の別な実施形態による信号切換えスイッチ14を示す平面図である。この信号切換えスイッチ14においては、スイッチ回路12はIC（半導体集積回路）チップ15上に形成されている。16、17、18はそれぞれ、ICチップ15上に形成されているスイッチ回路12のANT側端子電極、RX側端子電極、TX側端子電極である。スイッチ回路12を形成されたICチップ15は、ダイパッド19上にダイボンディングされている。ダイパッド19からは3本のグランド端子20が延出されている。また、ICチップ15を封止しているモールドパッケージ21には、ANT端子となるANTリード22と、RX端子となるRXリード23と、TX端子となるTXリード24の各端部が埋めこまれている。ANTリード22とスイッチ回路12のANT側端子電極16はボンディングワイヤ25により接続されており、RXリード23とスイッチ回路12のRX側端子電極17はボンディングワイヤ26により接続されており、TXリード24とスイッチ回路12のTX側端子電極18はボンディングワイヤ27により接続されている。また、28、29、30はそれぞれANT側端子電極16、RX側端子電極17、TX側端子電極18の近傍に設けられたグランド電極であって、バイアホール31を介してダイパッド19に導通している。そして、スイッチ回路12のANT端子電極16aとグランド電極28はICチップ15上に形成されたMIMキャパシタ32によって接続されており、同様にRX端子電極17aとグランド電極29はMIMキャパシタ33により接続されており、TX端子電極18aとグランド電極30はMIMキャパシタ34により接続されている。

【0049】図9は上記信号切換えスイッチ14の等価回路図である。この信号切換えスイッチ14にあつては、ANT端子、RX端子、TX端子とスイッチ回路12の間に挿入されているインピーダンス変換回路M1～M3は、いずれもインダクタンス $L_{L1}$ 、 $L_{L2}$ 、 $L_{L3}$ とキャパシタンス $C_{S1}$ 、 $C_{S2}$ 、 $C_{S3}$ からなるL型回路とインダクタンス $L_{W1}$ 、 $L_{W2}$ とキャパシタンス $C_{H1}$ 、 $C_{H2}$ 、 $C$



$n_3$ からなるL型回路の2段構成となっている。

【0050】インピーダンス変換回路M1においては、ANTリード22の先端がANT端子となっており、インダクタンス $L_{L1}$ はANTリード22のインダクタンスにより構成され、キャパシタンス $C_{S1}$ はANTリード22とグランド端子20の間のストレーキャパシタンスにより構成され、インダクタンス $L_{W1}$ 、 $L_{W2}$ はボンディングワイヤ25のインダクタンスにより構成され、大容量のキャパシタンス $C_{N1}$ はMIMキャパシタンス32により構成されている。

【0051】同様に、インピーダンス変換回路M2においては、RXリード23の先端がRX端子となっており、インダクタンス $L_{L2}$ はRXリード23のインダクタンスにより構成され、キャパシタンス $C_{S2}$ はRXリード23とグランド端子20の間のストレーキャパシタンスにより構成され、インダクタンス $L_{W1}$ 、 $L_{W2}$ はボンディングワイヤ26のインダクタンスにより構成され、大容量のキャパシタンス $C_{N2}$ はMIMキャパシタンス33により構成されている。

【0052】同じく、インピーダンス変換回路M3においては、TXリード24の先端がTX端子となっており、インダクタンス $L_{L3}$ はTXリード24のインダクタンスにより構成され、キャパシタンス $C_{S3}$ はTXリード24とグランド端子20の間のストレーキャパシタンスにより構成され、インダクタンス $L_{W1}$ 、 $L_{W2}$ はボンディングワイヤ27のインダクタンスにより構成され、大容量のキャパシタンス $C_{N3}$ はMIMキャパシタンス34により構成されている。

【0053】本実施形態によれば、信号切換スイッチ14をモールドパッケージ21に納める際に問題となる、ANTリード22、RXリード23、TXリード24やボンディングワイヤ25、26、27の各インダクタンス $L_{L1}$ 、 $L_{L2}$ 、 $L_{L3}$ や $L_{W1}$ 、 $L_{W2}$ 、ANTリード22、RXリード23、TXリード24とグランド端子20の間のストレーキャパシタンス $C_{S1}$ 、 $C_{S2}$ 、 $C_{S3}$ をインピーダンス変換回路M1～M3の一部として積極的に利用することができ、ICチップ15のチップ面積を小さくすることが可能となり、信号切換スイッチ14の性能を向上した状態で、ICチップ15の面積を小さくでき、製造コストを低廉にできる。

【0054】(第4の実施形態)図10は、本発明のさらに別な実施形態による信号切換スイッチ35を示す斜視図、図11はその等価回路図である。この信号切換スイッチ35にあっては、インピーダンス変換回路M1～M3が構成された誘電体多層基板36の上面に、スイッチ回路12を形成されたICチップ15が実装され、ICチップ15と誘電体多層基板36とがボンディングワイヤ37により接続されている。

【0055】インピーダンス変換回路M1～M3は、図11に示すように、誘電体多層基板36の内部に多段に

形成されたインダクタンス $L_{A1}$ 、 $L_{A2}$ 、 $L_{A3}$ ； $L_{B1}$ 、 $L_{B2}$ 、 $L_{B3}$ ； $L_{C1}$ 、 $L_{C2}$ 、 $L_{C3}$ とキャパシタンス $C_{A1}$ 、 $C_{A2}$ 、 $C_{A3}$ ； $C_{B1}$ 、 $C_{B2}$ 、 $C_{B3}$ ； $C_{C1}$ 、 $C_{C2}$ 、 $C_{C3}$ と伝送線路 $MS_1$ ； $MS_2$ ； $MS_3$ により構成されている。

【0056】インピーダンス変換回路M1においては、ANT端子とスイッチ回路12間に直列にインダクタンス $L_{A1}$ 、キャパシタンス $C_{A1}$ 、伝送線路 $MS_1$ 、インダクタンス $L_{A3}$ が接続され、インダクタンス $L_{A1}$ とキャパシタンス $C_{A1}$ の接続点がインダクタンス $L_{A2}$ を介してGNDに接続され、キャパシタンス $C_{A1}$ と伝送線路 $MS_1$ の接続点がキャパシタンス $C_{A2}$ を介してGNDに接続され、伝送線路 $MS_1$ とインダクタンス $L_{A3}$ の接続点がキャパシタンス $C_{A3}$ を介してGNDに接続されている。

【0057】同様に、インピーダンス変換回路M2(M3)においては、RX端子(TX端子)とスイッチ回路12間に直列にインダクタンス $L_{B1}$ ( $L_{C1}$ )、キャパシタンス $C_{B1}$ ( $C_{C1}$ )、伝送線路 $MS_2$ ( $MS_3$ )、インダクタンス $L_{B3}$ ( $L_{C3}$ )が接続され、インダクタンス $L_{B1}$ ( $L_{C1}$ )とキャパシタンス $C_{B1}$ ( $C_{C1}$ )の接続点がインダクタンス $L_{B2}$ ( $L_{C2}$ )を介してGNDに接続され、キャパシタンス $C_{B1}$ ( $C_{C1}$ )と伝送線路 $MS_2$ ( $MS_3$ )の接続点がキャパシタンス $C_{B2}$ ( $C_{C2}$ )を介してGNDに接続され、伝送線路 $MS_2$ ( $MS_3$ )とインダクタンス $L_{B3}$ ( $L_{C3}$ )の接続点がキャパシタンス $C_{B3}$ ( $C_{C3}$ )を介してGNDに接続されている。なお、ボンディングワイヤ37のインダクタンスがインピーダンス変換回路M1～M3に利用されており、ボンディングワイヤ37がインピーダンス変換回路M1～M3の一部となっている。

【0058】このように、インピーダンス変換回路M1～M3を誘電体多層基板36に形成することにより、小さな実装面積において、インピーダンス変換回路M1～M3をインダクタンス $L_{A1}$ ～ $L_{C3}$ 、キャパシタンス $C_{A1}$ ～ $C_{C3}$ 、伝送線路 $MS_1$ ～ $MS_3$ 及びボンディングワイヤ37により多段に形成することができる。

【0059】従って、インピーダンス変換回路M1～M3のQ値を下げることができ、広帯域なインピーダンス変換が実現できる。よって、広帯域にわたってスイッチ回路12の性能を向上することができる。また、このインピーダンス変換回路M1～M3は誘電体多層基板36に形成しているため、実装面積が小さくて済み、信号切換スイッチ35を小型化することができる。

【0060】(第5の実施形態)図12は、本発明のさらに別な実施形態による信号切換スイッチ38を示す回路図である。この信号切換スイッチ38は、単一正電源動作を実現するために直流カット用キャパシタンス $C_{DC}$ と高周波チョーク用インダクタンス $L_{RF}$ を付加しており、この直流カット用キャパシタンス $C_{DC}$ と高周波チョーク用インダクタンス $L_{RF}$ をインピーダンス変換回路M1～M3の一部としている。

【0061】すなわち、インピーダンス変換回路M1



は、ANT端子とスイッチ回路12の間に挿入された直流カット用キャパシタンス $C_{DC}$ と、この直流カット用キャパシタンス $C_{DC}$ とANT端子間の接続点とGNDの間に直列に挿入されたインダクタンス $L_G$ と、この直流カット用キャパシタンス $C_{DC}$ とスイッチ回路12間の接続点に接続されて定電圧 $V_{DD}$ を印加された高周波チョーク用インダクタンス $L_{RF}$ とから構成されている。

【0062】また、インピーダンス変換回路M2は、RX端子とスイッチ回路12の間に挿入された直流カット用キャパシタンス $C_{DC}$ と、この直流カット用キャパシタンス $C_{DC}$ とRX端子間の接続点とGNDの間に直列に挿入されたインダクタンス $L_G$ と、スイッチング用素子 $Q_2$ とGNDの間に挿入された直流カット用キャパシタンス $C_{DC}$ と、この直流カット用キャパシタンス $C_{DC}$ とスイッチング用素子 $Q_2$ の接続点に接続されて定電圧 $V_{DD}$ を印加された高周波チョーク用インダクタンス $L_{RF}$ とから構成されている。

【0063】同様に、インピーダンス変換回路M3は、TX端子とスイッチ回路12の間に挿入された直流カット用キャパシタンス $C_{DC}$ と、この直流カット用キャパシタンス $C_{DC}$ とTX端子間の接続点とGNDの間に挿入されたインダクタンス $L_G$ と、スイッチング用素子 $Q_4$ とGNDの間に挿入された直流カット用キャパシタンス $C_{DC}$ と、この直流カット用キャパシタンス $C_{DC}$ とスイッチング用素子 $Q_4$ の接続点に接続され定電圧 $V_{DD}$ を印加された高周波チョーク用インダクタンス $L_{RF}$ （インピーダンス変換回路M2と共用）とから構成されている。

【0064】この信号切換えスイッチ38は、上記のように単一正電源動作の高周波チョーク用インダクタンス $L_{RF}$ 及び直流カット用キャパシタンス $C_{DC}$ をインピーダンス変換回路M1～M3の一部として利用しているので、信号切換えスイッチ38の素子数を削減でき、半導体集積回路として構成する場合にはチップ面積を減少させることができる。

【0065】（第6の実施形態）図13は、本発明のさらに別な実施形態による信号切換えスイッチ39を外部回路と共に示す図である。ANT端子には送受信アンテナ40が接続され、RX端子には受信用低雑音増幅器（LNA）41が接続され、TX端子には送信用電力増幅器（PA）42が接続されている。

【0066】この信号切換えスイッチ39においては、スイッチ回路12からインピーダンス変換回路M1～M3をみたインピーダンス $Z_{SW}$ を、ANT端子、RX端子及びTX端子から送受信アンテナ40、受信用低雑音増幅器41、送信用電力増幅器42等の外部回路をみたインピーダンス $Z_0$ より小さくし、さらに、ANT端子、RX端子及びTX端子から各インピーダンス変換回路M1～M3をみたインピーダンスを送受信アンテナ40、受信用低雑音増幅器41、送信用電力増幅器42等の外部回路が要求する最適インピーダンス（定格インピーダ

ンス） $Z_{ANT}$ 、 $Z_{LNA}$ 、 $Z_{PA}$ となるよう、各インピーダンス変換回路M1～M3が設計されている。これによってインピーダンス変換回路にANT端子、RX端子、TX端子に接続する外部回路との最適インピーダンスによる整合機能を持たせている。

【0067】ここで、最適インピーダンスとは、送受信アンテナ40では、送信回路から送受信アンテナ40に入力された送信電力が全て空中へ放射され、逆に空中から入射した受信電力が全て受信回路へ出力されるようなインピーダンス $Z_{ANT}$ である。また、送信用電力増幅器42では、最大出力電力が得られるインピーダンス $Z_{PA}$ である。また、受信用低雑音増幅器41では、最小雑音指数が得られるインピーダンス $Z_{LNA}$ である。

【0068】信号切換えスイッチ39が最適インピーダンスによる整合機能を有しない場合には、送受信アンテナ40、送信用電力増幅器42、受信用低雑音増幅器41等の外部回路をANT端子、TX端子、RX端子に接続する場合には、別途整合回路を用いることにより、ANT端子、TX端子及びRX端子における外部回路との特性インピーダンス（例えば50Ω）を外部回路が要求する最適インピーダンスに変換した後、整合回路を介してANT端子、TX端子及びRX端子に送受信アンテナ40、送信用電力増幅器42、受信用低雑音増幅器41等の外部回路を接続する必要がある。

【0069】これに対し、本実施形態による信号切換えスイッチ39では、インピーダンス変換回路M1～M3に、ANT端子、TX端子、RX端子に接続する外部回路との最適インピーダンスによる整合機能を持たせているから、ANT端子、RX端子、TX端子と外部回路との間に整合回路が不要になり、外部回路と接続する際の構成を簡単にすることができる。

【0070】さらに、ANT端子、RX端子、TX端子と外部回路との間に接続される整合回路が不要になるので、信号切換えスイッチ39の性能を向上させた状態において、信号切換えスイッチ39や通信システムにおける変換損失を低減でき、さらに素子数を減少させ、半導体集積回路を用いる場合にはチップ面積を減少させることができ、信号切換えスイッチ39の製造コストを安価にできる。

【図面の簡単な説明】

【図1】従来の信号切換えスイッチを示す回路図である。

【図2】スイッチング用素子の特性とスイッチング用素子のゲートに印加される制御電圧に重畳された信号電圧を示す図である。

【図3】別の従来例であって、スイッチング用素子が多段接続された信号切換えスイッチを示す回路図である。

【図4】本発明の一実施形態による信号切換えスイッチを示す回路図である。

【図5】本発明の別な実施形態による信号切換えスイッ

チを示す回路図である。

【図6】同上の信号切換えスイッチに信号電力を入力したときの入力端子、出力端子及びスイッチ回路内部における電圧波形を示す図である。

【図7】同上の信号切換えスイッチに信号電力を入力したときの入力端子、出力端子及びスイッチ回路内部における電流波形を示す図である。

【図8】本発明のさらに別な実施形態による信号切換えスイッチを示す平面図である。

【図9】同上の信号切換えスイッチの等価回路を示す回路図である。

【図10】本発明のさらに別な実施形態による信号切換えスイッチを示す外観斜視図である。

【図11】同上の信号切換えスイッチの等価回路を示す回路図である。

【図12】本発明のさらに別な実施形態による信号切換えスイッチを示す回路図である。

【図13】本発明のさらに別な実施形態による信号切換

えスイッチを示す回路ブロック図である。

【符号の説明】

$Q_1 \sim Q_4$  スイッチング用素子

$M_1 \sim M_3$  インピーダンス変換回路

$L_{ANT}, L_{L1} \sim L_{L3}, L_{W1}, L_{W2}, L_{A1} \sim L_{A3}, L_{B1} \sim L_{B3}, L_{C1} \sim L_{C3}$  インダクタンス

$C_{ANT}, C_{S1} \sim C_{S3}, C_{M1} \sim C_{M3}, C_{A1} \sim C_{A3}, C_{B1} \sim C_{B3}, C_{C1} \sim C_{C3}$  キャパシタンス

$MS_1 \sim MS_3$  伝送線路

$L_{RF}$  高周波チョーク用インダクタンス

$C_{DC}$  直流カット用キャパシタンス

ANT ANT端子

RX RX端子

TX TX端子

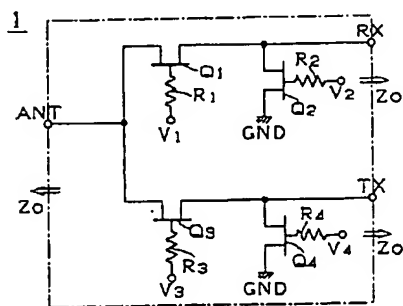
GND グランド

12 スイッチ回路

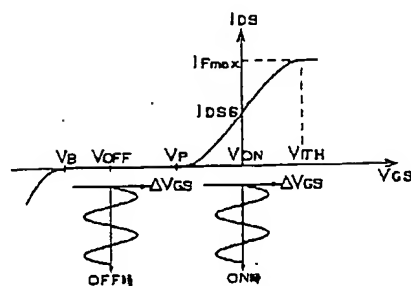
15 ICチップ

36 誘電体多層基板

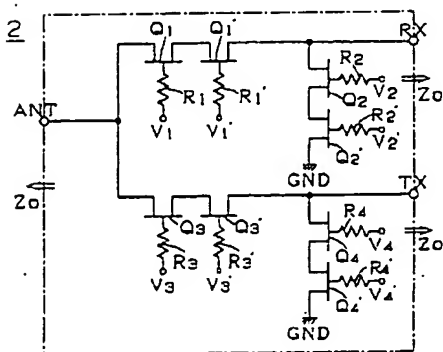
【図1】



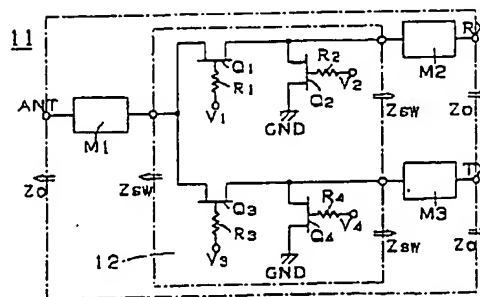
【図2】



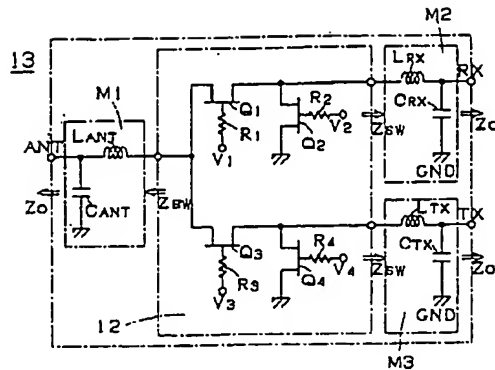
【図3】



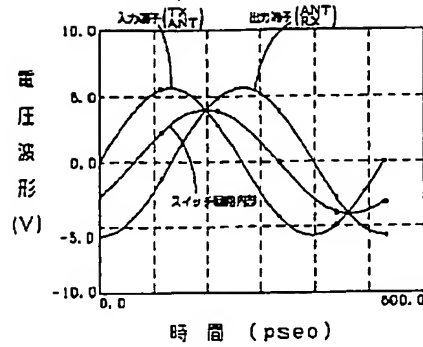
【図4】



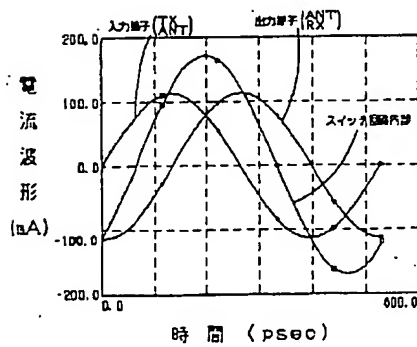
【図5】



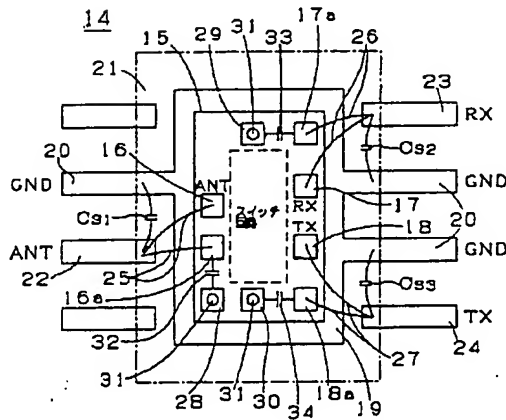
【図6】



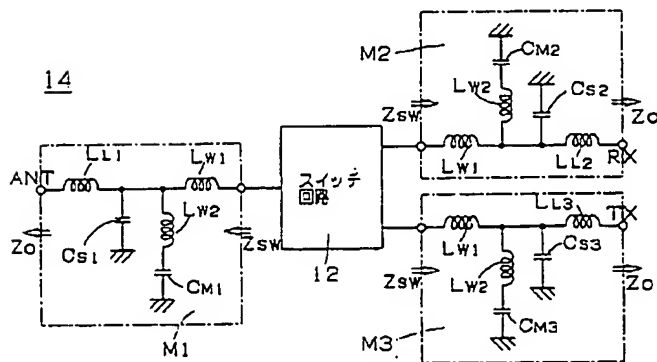
【図7】



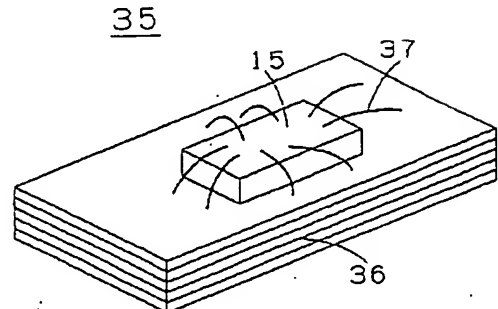
【図8】



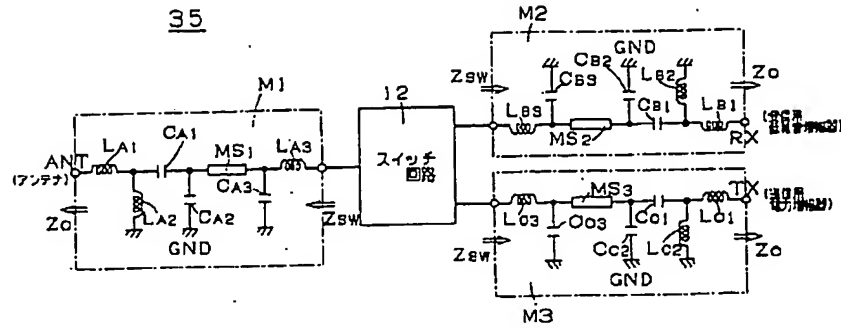
【図9】



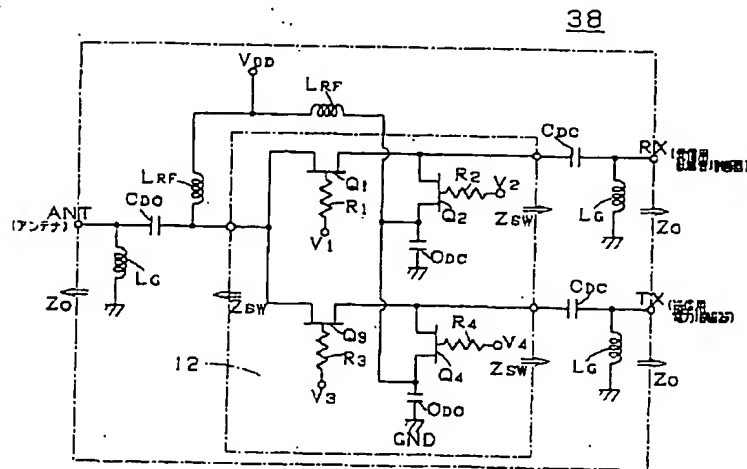
【図10】



【図11】



【図12】



【図13】

